

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-336556

**(43)Date of publication of application : 22.12.1995**

(51)Int.Cl.

H04N	5/05
H03L	7/10
H04L	7/00
H04L	7/033

(21)Application number : 06-129178

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 10.06.1994

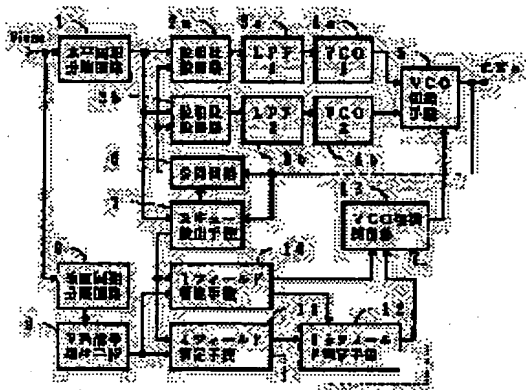
(72)Inventor : OTA EIJU

### (54) PLL CIRCUIT

**(57)Abstract**

**PURPOSE:** To generate a stable system clock signal by selecting a voltage controlled oscillator VCO automatically generating an oscillated frequency signal optimum to a video signal received based on result of 1, 4, 16 field discrimination.

**CONSTITUTION:** A 1-field discrimination means 10 receives a skew detection signal from a skew detection means 7, a V system signal from a V system signal generating means 9, and a system clock signal from a VCO changeover means 5 and generates a direction discrimination signal representing the direction of skew and a 1-field discrimination signal representing the number of skews. A 4-field discrimination means 11 provides the output of a 4-field discrimination signal based on the direction of skew and the number of skews for a 4-field period. A 16-field discrimination means 12 receives the 4-field discrimination signal from the means 11 and the V system signal from the means 9 to generate a direction discrimination signal representing the direction of skew received for a 16-field period. A VCO changeover control section 13 controls the means 5 based on the discrimination signal of each field discrimination means.



## LEGAL STATUS

[Date of request for examination] 30.07.1998

**[Date of sending the examiner's decision of rejection]**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number] 3257612

**[Date of registration]** 07.12.2001

**[Number of appeal against examiner's decision of rejection]**

**[Date of requesting appeal against examiner's decision of rejection]**

**[Date of extinction of right]**

Copyright (C): 1998.2003 Japan Patent Office

**Best Available Copy**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-336556

(43) 公開日 平成7年(1995)12月22日

(51) Int.Cl.<sup>6</sup> 識別記号 庁内整理番号 F I 技術表示箇所

H 0 4 N 5/05

H 0 3 L 7/10

H 0 4 L 7/00

Z

H 0 3 L 7/10

Z

H 0 4 L 7/02

B

審査請求 未請求 請求項の数11 OL (全 11 頁) 最終頁に続く

(21) 出願番号 特願平6-129178

(22) 出願日 平成6年(1994)6月10日

(71) 出願人 000006811

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 太田 英寿

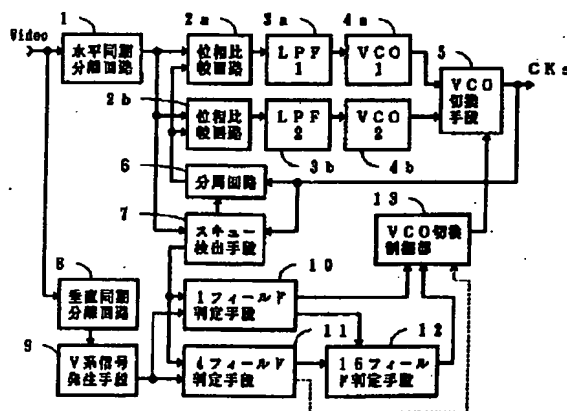
川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(54) 【発明の名称】 PLL回路

(57) 【要約】

【目的】 複数のVCOを用意して、入力する映像信号に適したVCOを自動的に選択して切り換えるPLL回路を提供することを目的としている。

【構成】 水平同期分離回路1と、複数の位相比較回路2と、複数のローパスフィルタ3と、複数の電圧制御発振器（以下VCOと記す）4と、VCO切り換え手段5と、前記VCO切り換え手段よりの信号を分周する分周回路6と、スキュー検出手段7と、1フィールド期間のスキューの発生状態よりVCOの切り換えを判定する1フィールド判定手段10と、4フィールド期間のスキューの発生状態よりVCOの切り換えを判定する4フィールド判定手段11と、16フィールド期間のスキューの発生状態よりVCOの切り換えを判定する16フィールド判定手段12と、VCO切り換え制御部13と、垂直同期分離回路8と、各種フィールド信号を生成するV系信号発生手段9とで構成している。



## 【特許請求の範囲】

【請求項1】 入力するビデオ信号より水平同期信号を分離する水平同期分離回路と、該同期分離回路の水平同期信号(Hsync)と分周回路の分周信号(Hcks/n)の位相を比較する位相比較回路と、該位相比較回路よりの出力信号(Scomp)の低域成分を出力するローパスフィルタと、該ローパスフィルタの出力電圧(Vlf)によりシステムクロック(CKs)信号を生成する電圧制御発振器(以下VCOと記す)と、前記位相比較回路とローパスフィルタとVCOの組み合わせ手段を複数設け、該複数の組み合わせ手段を切り換えて出力するVCO切り換え手段と、該VCO切り換え手段よりの出力を分周し、スキュー検出手段よりの信号(Ssc)でリセットしている前記分周回路と、前記水平同期信号の周期の乱れを検出する前記スキュー検出手段と、該スキュー検出手段の出力を入力し、1フィールド期間のスキューの発生状態を監視して前記複数の組み合わせ手段を切り換えるか否かを判定する1フィールド判定手段と、前記スキュー検出手段の出力を入力し、4フィールド期間のスキューの発生状態を監視して16フィールド判定手段に結果を入力する4フィールド判定手段と、該4フィールド判定手段よりの信号を入力し、16フィールド期間のスキューの発生状態を監視して前記複数のVCOを切り換えるか否かを判定する前記16フィールド判定手段と、前記1フィールド判定手段および16フィールド判定手段よりの信号を基に、前記VCO切り換え手段を切り換え制御するVCO切り換え制御部と、入力するビデオ信号より垂直同期信号を分離する垂直同期分離回路と、前記垂直同期信号と水平同期信号等より前記各フィールド判定手段に入力する各種フィールド信号を生成するV系信号発生手段とで構成していることを特徴とするPLL回路。

【請求項2】 入力するビデオ信号より水平同期信号を分離する水平同期分離回路と、該同期分離回路の水平同期信号(Hsync)と分周回路の分周信号(Hcks/n)の位相を比較する位相比較回路と、該位相比較回路よりの出力信号(Scomp)の低域成分を出力するローパスフィルタと、該ローパスフィルタの出力電圧(Vlf)によりシステムクロックパルス(CKs)を発生する電圧制御発振器(以下VCOと記す)と、前記位相比較回路とローパスフィルタとVCOの組み合わせ手段を複数設け、該複数の組み合わせ手段を切り換えて出力するVCO切り換え手段と、該VCO切り換え手段よりの出力を分周し、スキュー検出手段よりの信号(Ssc)でリセットしている前記分周回路と、前記水平同期信号の周期の乱れを検出する前記スキュー検出手段と、該スキュー検出手段の出力を入力し、1フィールド期間のスキューの発生状態を監視して前記複数のVCOを切り換えるか否かを判定する1フィールド判定手段と、前記スキュー検出手段の出力を入力し、4フィールド期間

のスキューの発生状態を監視して前記複数のVCOを切り換えるか否かを判定する4フィールド判定手段と、該4フィールド判定手段の出力を入力し、16フィールド期間のスキューの発生状態を監視して前記複数のVCOを切り換えるか否かを判定する16フィールド判定手段と、前記1フィールド判定手段、4フィールド判定手段および16フィールド判定手段よりの信号を基に、前記VCO切り換え手段を切り換え制御するVCO切り換え制御部と、入力するビデオ信号より垂直同期信号を分離する垂直同期分離回路と、前記垂直同期信号と水平同期信号等より前記各フィールド判定手段に入力する各種フィールド信号を生成するV系信号発生手段とで構成していることを特徴とするPLL回路。

【請求項3】 前記スキュー検出手段は、前記VCO切り換え手段よりのシステムクロック(CKs)信号より所定のクロック数のパルス幅のHゲートパルス(Shgp)と1クロック幅のHゲートパルスエッジ(Shgpe)信号を生成するHゲートパルス発生手段と、該Hゲート発生手段よりのHゲートパルス(Shgp)により前記水平同期(Hsync)信号をゲートするゲート手段と、該ゲート手段よりのゲート(Shsg)信号と前記Hゲートパルスエッジ(Shgpe)信号と前記システムクロック(CKs)信号と前記水平同期(Hsync)信号を入力してスキュー検出(Ssc)信号を生成するスキューパルス発生手段とで構成していることを特徴とする請求項1または請求項2記載のPLL回路。

【請求項4】 前記Hゲートパルス発生手段は、前記スキューパルス発生手段よりのスキュー検出(Ssc)信号とシステムクロック(CKs)信号をカウントするクロックカウンタよりのMSB信号をアンドゲートするAND回路と、該AND回路よりの信号を入力し、システムクロック(CKs)信号をカウントする前記クロックカウンタと、該クロックカウンタよりの信号の所定の低い値をデコードして、Hゲートパルスエッジ(Shgpe)信号を出力する低値デコード回路と、所定の高い値をデコードする高値デコード回路と、前記低値デコード回路よりの信号と高値デコード回路よりの信号とシステムクロック(CKs)信号とを入力してHゲートパルス(Shgp)信号を出力するJKフリップフロップ回路とで構成していることを特徴とする請求項3記載のPLL回路。

【請求項5】 前記スキューパルス発生手段は、前記Hゲートパルス発生手段よりのHゲートパルスエッジ(Shgpe)信号と前記ゲート手段よりのHゲート(Shsg)信号とシステムクロック(CKs)信号を入力する第一のDフリップフロップ回路と、該第一のDフリップフロップ回路よりの信号と前記Hゲートパルス発生手段よりのHゲートパルスエッジ(Shgpe)信号とシステムクロック(CKs)信号を入力する第二のDフリップフロップ回路と、該第二のDフリップフロップ回路

よりの信号と前記第一のDフリップフロップ回路よりの信号をアンドゲートするAND回路と、該AND回路よりの信号と前記水平同期分離回路よりの水平同期(Hsync)信号をナンドゲートしてスキュー検出(Ssc)信号を出力するNAND回路とで構成していることを特徴とする請求項3記載のPLL回路。

【請求項6】 前記1フィールド判定手段は、前記V系信号発生手段より出力する負の垂直同期信号の立ち下がり±16Hの幅のVgateパルス(Svgp)で前記スキュー検出手段よりのスキュー検出(Ssc)信号をオアゲートする第一のOR回路と、該第一のOR回路よりの出力信号と第二のOR回路よりの信号をノアゲートするNOR回路と、該NOR回路よりの信号と前記分周回路を形成するカウンタのMSB信号であるUP/DWN(Su/d)信号と前記システムクロック(CKs)信号を入力してアップカウントまたはダウンカウントするアップダウンカウンタ部と、該アップダウンカウンタ部の出力のアップレベル値をデコードするUP値デコード部と、ダウンレベル値をデコードするDWN値デコード部と、前記UP値デコード部よりのデコード出力(Sup)信号とDWN値デコード部よりのデコード出力(Sdwn)信号とをオアゲートする前記第二のOR回路とで構成していることを特徴とする請求項1または請求項2記載のPLL回路。

【請求項7】 前記4フィールド判定手段は、前記V系信号発生手段より出力する負の垂直同期信号の立ち下がり±16Hの幅のVgateパルス(Svgp)で前記スキュー検出手段よりのスキュー検出(Ssc)信号をオアゲートする第一のOR回路と、該第一のOR回路の出力信号と第一のDフリップフロップ回路のQ出力よりの信号をオアゲートする第二のOR回路と、前記第一のOR回路の出力信号と第二のDフリップフロップ回路のQ出力よりの信号をオアゲートする第三のOR回路と、前記第二のOR回路よりの信号と前記分周回路を形成するカウンタのMSB信号であるUP/DWN信号の極性反対の信号と前記システムクロック(CKs)信号と前記V系信号発生手段より出力する4フィールド毎のパルス(Sf4)を入力してダウン方向のスキュー検出(Sdwns)信号を発生する第二のDフリップフロップ回路と、前記第一のDフリップフロップのQ出力と第二のDフリップフロップのQ'出力とをアンドゲートする第一のAND回路と、前記第一のDフリップフロップのQ'出力と第二のDフリップフロップのQ出力とをアンドゲートする第二のAND回路とで構成していることを特徴とする

請求項1記載のPLL回路。

【請求項8】 前記16フィールド判定手段は、前記第一のAND回路よりのアップ方向のスキュー検出(Sups)信号と第二のAND回路よりのダウン方向のスキュー検出(Sdwns)信号のオアゲートする第六のOR回路と、該第六のOR回路よりの信号と前記第一のAND回路よりの信号と前記V系信号発生手段より出力する4フィールド毎のパルス(Sf4)と16フィールド毎のパルス(Sf16)とを入力してアップカウントまたはダウンカウントするアップダウンカウンタ部と、該アップダウンカウンタ部の出力のアップレベル値をデコードするUP値デコード部と、ダウンレベル値をデコードするDWN値デコード部とで構成していることを特徴とする請求項1および請求項7記載のPLL回路。

【請求項9】 前記V系信号発生手段は、前記水平同期信号(Hsync)と、システムクロック(CKs)信号と垂直同期信号(Vsync)を入力するカウンタ部と、該カウンタ部の出力の所定の低い値をデコードするL値デコード部と、所定の高い値をデコードするH値デコード部とJKフリップフロップとで構成するVgateパルス発生手段よりVgateパルス(Svgp, S'vgp)を出力するようにしていることを特徴とする請求項1または請求項2記載のPLL回路。

【請求項10】 前記V系信号発生手段は、前記Vgateパルス発生手段よりVgateパルス(Svgp)を入力するTフリップフロップ2段と、1段目と2段目のTフリップフロップの出力をアンドゲートする第一のAND回路と、該AND回路の出力信号と垂直同期(Vsync)信号の反転信号をアンドゲートする第二のAND回路と、前記Vgateパルス(Svgp)を反転する反転信号と、前記第一のAND回路よりの信号をナンドゲートするNAND回路と、該NAND回路の出力信号を入力するTフリップフロップ2段と、1段目と2段目のTフリップフロップの出力をアンドゲートする第三のAND回路と、該AND回路の出力信号と第二のAND回路よりの出力信号をアンドゲートする第四のAND回路とで構成するフィールドクリア信号生成手段より4フィールド毎のパルス(Sf4)と16フィールド毎のパルス(Sf16)とを出力するようにしていることを特徴とする請求項1または請求項2記載のPLL回路。

【請求項11】 前記VCO切り換え手段は、前記1フィールド判定手段のデコード部よりの2つのデコード出力(UP検出信号(Sup), DWN検出信号(Sdwn))をそれぞれ入力し、TフリップフロップのQ, Q'出力とアンドゲートする第1のAND回路および第2のAND回路と、該二つのAND回路の出力信号を入力してオアゲートする第一のOR回路と該OR回路の出力信号と前記1フィールド判定手段の第二のOR回路よりの出力信号(S1f)を入力するTフリップフロップ

と、該TフリップフロップよりのQ出力信号と前記複数のVCOの1個目のVCO出力信号(CKs1)をアンドゲートする第三のAND回路と、前記TフリップフロップよりのQ'出力信号と前記複数のVCOの2個目のVCO出力信号(CKs2)をアンドゲートする第四のAND回路と、前記第三のAND回路の出力信号と第四のAND回路の出力信号をオアゲートする第二のOR回路とで構成していることを特徴とする請求項1または請求項2記載のPLL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】映像信号をデジタル信号に変換して処理する画像処理技術に係わり、特に、システムクロックの安定化を図るためのPLL回路の付加回路に関する。

【0002】

【従来の技術】従来、テレビジョンに使用するPLL回路は水平同期信号に同期するシステムクロック信号を発生するため、図15に示すように、水平同期分離回路1と、位相比較回路2と、ローパスフィルタ部3と、VCO4と、分周回路5と、スキュー検出手段6とで構成し、VCOで発振するシステムクロック(CKs)信号を分周した分周信号(Hck/n)を水平同期信号(Hsync)と位相が合うように制御し、例えば、VTRよりの映像信号のようにヘッドの切り換え時に発生するスキューを含む映像信号のスキューを検出し、該検出信号で分周回路をリセットして、スキューの発生する水平同期信号部分では位相比較しないようにして、システムクロックの周期の乱れが起こらないように制御していた。しかるに、映像信号にはNTSC方式、PAL方式 30 他のように水平周波数の異なるものがあり、これらに対応するには、複数のVCOを用意して、入力する映像信号に適したVCOを選択し、切り換える必要が出てきた。

【0003】

【発明が解決しようとする課題】本発明は、上述の必要性に応えるため、複数のVCOを用意して、入力する映像信号に適したVCOを自動的に選択して切り換えるPLL回路を提供することを目的としている。

【0004】

【課題を解決するための手段】本発明は上述の課題を解決するため、入力するビデオ信号より水平同期信号を分離する水平同期分離回路と、該同期分離回路の水平同期信号(Hsync)と分周回路の分周信号(Hcks/n)の位相を比較する複数の位相比較回路と、該位相比較回路よりの出力信号Scomp)の低域成分を出力する複数のローパスフィルタと、該ローパスフィルタの出力電圧(Vlf)によりシステムクロックパルス(CKs)を発生する複数の電圧制御発振器(以下VCOと記す)と、前記複数のVCOを切り換えて出力するVCO 50

切り換え手段と、該VCO切り換え手段よりの出力を分周し、スキュー検出手段よりの信号(Ssc)でリセットしている分周回路と、前記水平同期信号の周期の乱れを検出するスキュー検出手段と、該スキュー検出手段の出力を入力し、1フィールド期間のスキューの発生状態を監視して前記複数のVCOを切り換えるか否かを判定する1フィールド判定手段と、前記スキュー検出手段の出力を入力し、4フィールド期間のスキューの発生状態を監視して前記複数のVCOを切り換えるか否かを判定する4フィールド判定手段と、該4フィールド判定手段の出力を入力し、16フィールド期間のスキューの発生状態を監視して前記複数のVCOを切り換えるか否かを判定する16フィールド判定手段と、前記1フィールド判定手段、4フィールド判定手段および16フィールド判定手段よりの信号を基に、前記VCO切り換え手段を切り換え制御するVCO切り換え制御部と、入力するビデオ信号より垂直同期信号を分離する垂直同期分離回路と、前記垂直同期信号と水平同期信号等より前記各フィールド判定手段に入力する各種フィールド信号を生成するV系信号発生手段とで構成している。

【0005】

【作用】以上のように構成したので、本発明のPLL回路では、1フィールド判定結果と、4フィールド判定結果と、16フィールド判定結果をもとに、入力する映像信号に最適な発振周波数を発生するVCOを自動的に選択して切り換えている。

【0006】

【実施例】以下、図面に基いて本発明によるPLL回路を詳細に説明する。図1は本発明によるPLL回路の一実施例を示す要部ブロック図である。図において、1は、入力する映像信号より水平同期(Hsync)信号を分離する水平同期分離回路である。2aおよび2bは位相比較回路で、前記水平同期信号(Hsync)と後述の分周回路6よりの分周信号(Hcks/n)の位相を比較している。3aおよび3bはローパスフィルタ部で、前記位相比較回路2よりの比較信号(Scmp)の高周波成分をカットしている。4aおよび4bは電圧制御発振器(VCOA, VCOB)で、前記ローパスフィルタ3よりの出力電圧(Vlf)に対応して、VCOA 4aはより低い発振周波数のシステムクロック(CKs1)を発生し、また、VCOB 4bはより高い発振周波数のシステムクロック(CKs2)信号を発生している。5はVCO切り換え手段で、後述のVCO切り換え制御部13により制御してVCOA 4a, VCOB 4bを切り換えてシステムクロック(CKs)信号を出力している。6は分周回路で、前記VCO切り換え手段5よりのシステムクロック(CKs)信号を1/nに分周している。7はスキュー検出手段で、前記VCO切り換え手段5よりのシステムクロック(CKs)信号を基準にして水平同期分離回路1よりの水平同期(Hsync) 50

信号のスキュー（不連続性信号）を検出し、スキュー検出（Ssc）信号を出力している。8は垂直同期分離回路で、入力する映像信号より垂直同期信号（Vsync）を分離している。9はV系信号発生手段で、前記垂直同期（Vsync）信号、水平同期信号（Hsync）等から、後述のフィールド判定手段等に必要な信号を生成している。

【0007】10は1フィールド判定手段で、前記スキュー検出手段7よりのスキュー検出（Ssc）信号とV系信号発生手段9よりのV系（Su/d, Svp）信号とVCO切り換え手段5よりのシステムクロック（CKs）信号を入力して1フィールド期間に入力するスキューの方向を示す方向判定（Sup, Sdwn）信号と、1フィールド期間に入力するスキューの数を示す1フィールド判定（Slf）信号を生成している。11は4フィールド判定手段で、スキュー検出（Ssc）信号とV系（Svp, Su/d, Sf4）信号とシステムクロック（CKs）信号を入力して4フィールド期間中のスキューの方向と数により、4フィールド判定（Sups, Sdwns）信号を出力している。12は16フィールド判定手段で、前記4フィールド判定手段11よりの4フィールド判定（Sups, Sdwns）信号とV系信号発生手段9よりのV系（Sf4, Sf16）信号を入力して、16フィールド期間に入力するスキューの方向を示す方向判定（Sup, Sdwn）信号を生成している。13はVCO切り換え制御部で、前記各フィールド判定手段の出力する判定信号に基づいて、VCO切り換え手段5を制御する制御信号（Supc, Sdwn）信号を出力している。

【0008】図2は、前記スキュー検出手段7の一実施例を示す回路ブロック図である。図において、71はHゲートパルス発生手段で、AND回路71aと、前記システムクロック（CKs）信号をカウントする10ビットカウンタ61bと、8値デコード回路71cと、791値デコード回路71dと、JKフリップフロップ71dとで構成し、水平同期（Hsync）信号を所定の幅抜き取るHゲートパルス（Shgp）信号とHゲートパルスエッジ（Shge）信号（本実施例では8値デコード（Sd8）信号）を発生し、また、10ビットカウンタ61bのMSB信号をスキューの方向を検出する（Su/d）信号として出力している。72はゲート手段で、Dフリップフロップで構成し、前記ゲートパルス発生手段71よりのHゲートパルス（Shgp）信号で水平同期（Hsync）信号を抜き出してゲート（Shsg）信号を出力している。73はスキューパルス発生手段で、Dフリップフロップ2個73a、73bとAND回路73cとNAND回路73dとで構成し、前記Hゲートパルス発生手段71よりのHゲートパルスエッジ（Shge）信号とゲート手段72よりのゲート（Shsg）信号とシステムクロック（CKs）信号を入力し

て、スキュー検出（Ssc）信号を生成している。

【0009】図3は1フィールド判定手段10の一実施例を示す回路ブロック図である。図において、101は第一のOR回路で、Vgateパルス（Svp）を除く期間に発生するスキュー検出（Ssc）信号を取り出している。102はNOA回路で、前記第一のOR回路101よりの信号と後述の第2のOR回路よりの1フィールド判定（Slf）信号を入力してノアゲートしている。103は5ビットアップダウンカウンタで、初期値8からアップまたはダウンカウントして1フィールド期間のアップ方向のスキューとダウン方向のスキューを共にカウントしている。104は15値デコード回路で、前記カウンタ103の出力信号の15値をデコードしてアップ方向判定（Sup）信号を出力している。105は1値デコード回路で、前記カウンタ103の出力信号の1値をデコードしてダウン方向判定（Sdwn）信号を出力している。106は第二のOR回路で、前記デコード回路104と105の出力信号のORをとって、1フィールド判定（Slf）信号を出力している。

【0010】図4は4フィールド判定手段11の一実施例を示す回路ブロック図である。図において、111は第一のOR回路で、Vgateパルス（Svp）を除く期間に発生するスキュー検出（Ssc）信号を取り出している。112は第二のOR回路で、前記第一のOR回路111よりの信号と後述のDフリップフロップ回路113のQ出力とオアをとっている。113はDフリップフロップ回路で、前記分周回路6を形成するカウンタのMSB信号である（Su/d）信号と前記第二のOR回路112よりの信号とシステムクロック（CKs）信号と、4フィールド毎のパルス（Sf4）を入力してQ出力より4フィールド期間のアップ方向のスキュー検出（S'ups）信号を生成して出力している。114は第一のAND回路で、前記Dフリップフロップ回路113のQ出力よりの4フィールド期間のアップ方向のスキュー検出（S'ups）信号と、後述のDフリップフロップ回路116のQ'出力信号のアンドをとってアップ方向のスキュー判定（Sups）信号を出力している。115は第三のOR回路で、前記第一のOR回路111よりの信号と後述のDフリップフロップ回路116のQ出力とオアをとっている。116はDフリップフロップ回路で、前記分周回路6を形成するカウンタのMSB信号である（Su/d）信号と前記第三のOR回路115よりの信号とシステムクロック（CKs）信号と、4フィールド毎のパルス（Sf4）を入力してQ出力より4フィールド期間のダウン方向のスキュー検出（S'dwns）信号を生成して出力している。117は第二のAND回路で、前記Dフリップフロップ回路116のQ出力より4フィールド期間のダウン方向のスキュー検出（S'dwns）信号と、前記Dフリップフロップ回路113のQ'出力信号のアンドをとってダウン方向のスキュー判定（Sdwns）信号を出力している。

キュー判定 (Sdwns) 信号を出力している。

【0011】図5は16フィールド判定手段12の一実施例を示すブロック図である。図において、121はOR回路で、前記4フィールド判定手段11よりのアップ方向スキュー判定 (Sup s) 信号とダウン方向スキュー判定 (Sdwns) 信号のオアをとっている。122は3ビットアップダウンカウンタで、前記OR回路121よりの信号と (Sup s) 信号と (Sf 4) 信号と (Sf 16) 信号を入力し、初期値4からアップまたはダウンカウントして16フィールド期間のアップ方向のスキューとダウン方向のスキューを共にカウントしている。123は7値デコード回路で、前記カウンタ122の出力信号をデコードして7値をアップ方向判定 (Sup) 信号として出力している。124は1値デコード回路で、前記カウンタ122の出力信号をデコードして1値をダウン方向判定 (Sdwn) 信号として出力している。

【0012】図6はVgateパルス発生手段91の一実施例を示すブロック図である。図において、911は9ビットカウンタで、1フィールド期間中の水平同期信号 (Hsync) をカウントしている。912は17値デコード回路で、前記9ビットカウンタ911の出力信号をデコードして17値を出力している。913は243値デコード回路で、前記9ビットカウンタ911の出力信号をデコードして243値を出力している。914はJKフリップフロップ回路で、前記デコード回路の出力信号によりシステムクロック (CKs) のタイミングでトグルしてQ出力よりVgateパルス (Sv gp) を、Q' 出力よりVgateパルス (S' v gp) を出力している。

【0013】図7はフィールドクリア信号発生手段92の一実施例を示すブロック図である。図において、921は4フィールドパルス生成部で、2つのTフリップフロップ回路921a、921bとAND回路921cとで構成し、前記Vgateパルス (S' v gp) を入力して4フィールド周期で1フィールド幅のパルス (Sf 4) を生成している。922は第一のAND回路で、前記4フィールドパルス生成部921よりの信号と垂直同期 (Vsync) 信号をインバータ926aを通して反転した信号を入力してアンドをとって4フィールドパルス (Sfp 4) 信号を出力している。923はNAND回路で、前記4フィールドパルス生成部921よりの信号とVgateパルス (S' v gp) をインバータ926bを通して反転した信号を入力してナンドをとっている。924は16フィールドパルス生成部で、2つのTフリップフロップ回路924a、924bとAND回路924cとで構成し、前記NAND回路923よりの4フィールド信号を入力して16フィールド周期で4フィールド幅のパルス (Sf 16) を生成している。925は第二のAND回路で、前記第一のAND回路922よりの

4フィールドパルス (Sfp 4) 信号と16フィールドパルス生成部924よりの16フィールドパルスとを入力してアンドをとって、16フィールドパルス (Sfp 16) 信号を出力している。

【0014】図8はVCO切り換え制御部とVCO切り換え手段の一実施例を示すブロック図である。図において、131は第一のAND回路で、前記1フィールド判定手段10および16フィールド判定手段12より出力するダウン方向スキュー検出 (Sdwn) 信号と後述のTフリップフロップ回路134のQ出力信号とアンドをとっている。132は第二のAND回路で、前記1フィールド判定手段10および16フィールド判定手段12より出力するダウン方向判定 (Sup) 信号と後述のTフリップフロップ回路134のQ' 出力信号とアンドをとっている。133は第一のOR回路で、前記2つのAND回路の出力信号のオアをとっている。134はTフリップフロップ回路で、前記OR回路133よりの信号と、1フィールド判定手段10よりの1フィールド判定 (S1f) 信号を入力してQ出力よりダウン制御 (Sdwn c) 信号を、Q' 出力よりアップ制御 (Sup c) 信号を出力している。また、51は第三のAND回路で、前記VCOA4aよりのシステムクロック (CKs 1) 信号を前記ダウン制御 (Sdwn c) 信号によりゲートしている。52は第四のAND回路で、前記VCOB4bよりのシステムクロック (CKs 2) 信号を前記アップ制御 (Sup c) 信号によりゲートしている。53は第二のOR回路で、前記第三のAND回路および第四のAND回路よりの信号をオアをとって出力している。

【0015】以上の構成において、つぎにその動作を説明する。通常のPLL回路の動作としては、入力する映像信号より分離する水平同期 (Hsync) 信号と、システムクロック信号 (CKs) を  $1/n$  に分周した (Hckc/n) 信号との位相を比較して、その誤差信号の高周波成分を取り除いた誤差電圧 (V1f) でVCO4を制御し、水平同期 (Hsync) 信号とシステムクロック (CKs) 信号の位相が合うようにしている。水平同期 (Hsync) 信号にスキューが発生すると、スキュー検出手段7よりスキュー検出 (Ssc) 信号を出力する。該スキュー検出 (Ssc) 信号は、前記分周回路6をリセットして、スキューの発生する水平同期信号部分では位相比較しないようにして、システムクロックの周期の乱れが起こらないように制御している。また、1フィールド判定手段10では、スキュー検出手段7よりのスキュー検出 (Ssc) 信号を入力し、1フィールド期間内に所定の数 (本実施例では7) 以上の同一方向のスキューが検出されると判定結果として、アップ方向判定 (Sup) 信号またはダウン方向判定 (Sdwn) 信号を出力している。4フィールド判定手段11では、スキュー検出手段7よりのスキュー検出 (Ssc) 信号を入力し、4フィールド期間内でスキューの方向の変化を

検出して、判定結果を16フィールド判定手段12に入力している。16フィールド判定手段12では、前記4フィールド判定手段11の同一の判定結果が16フィールド期間中に所定の回数(本実施例では4回)以上あれば、その検出する方向に切り換えるためのアップ方向判定(Sup)信号またはダウン方向判定(Sdwn)信号を出力している。VCO切り換え制御部では、前記1フィールド判定手段10または16フィールド判定手段12よりのアップ方向判定(Sup)またはダウン方向判定(Sdwn)信号に基づいて、アップ制御(Supc)信号またはダウン制御(Sdwn c)信号を生成し、VCO切り換え手段5を制御して、VCOA4aまたはVCOB4bに切り換えている。

【0016】以上は、図1のブロック図の動作を説明したが、つぎに、本発明の各手段の動作を説明する。まず、スキュー検出手段7の動作を図9に示すタイミングチャートを参照して説明する。10ビットカウンタ61bはシステムクロック(CKs)信号をカウントし、8値デコード回路71cより8値デコード(Sd8)信号を発生し、該(Sd8)信号と791値デコード回路71dよりの791値デコード(Sd791)信号からHゲートパルス(Shgp)を生成している。ゲート回路72では、水平同期(Hsync)信号を前記Hゲートパルス(Shgp)で抜き出して、ゲート(Shsg)信号を生成している。今、水平同期(Hsync)信号のH3とH4の間隔が広がったとすると、ゲート(Shsg)信号は図に示すように、水平同期(Hsync)のH4、H5はHゲートパルス(Shgp)で抜き出せないでHレベルのままになる。スキューパルス発生手段73のDフリップフロップ回路73aでは、8値デコード(Sd8)信号がHレベルのときシステムクロック(CKs)信号の立ち上がりのタイミングでゲート(Shsg)信号をラッチしてQ出力よりDラッチ(Sd1)信号を出力している。また、Dフリップフロップ回路73bでは、8値デコード(Sd8)信号がHレベルのときシステムクロック(CKs)信号の立ち上がりのタイミングでDラッチ(Sd1)信号をラッチしてQ出力よりDラッチ(Sd2)信号を出力している。AND回路73cではDラッチ(Sd1)信号とDラッチ(Sd2)信号をアンドゲートし、該ゲート信号と水平同期(Hsync)信号をNAND回路73dでナンドゲートすることにより、水平同期(Hsync)信号のH5を抜き出してスキュー検出(Ssc)信号としている。

【0017】つぎに、1フィールド判定手段10の動作を図10に示すタイミングチャートを参照して説明する。第一のOR回路101ではスキュー検出手段7で生成するスキュー検出(Ssc)信号からVTRのヘッド切り換え期間に相当するVgateパルス(Svgp)信号期間を取り除いている。前記Vgateパルス(S

vgp)信号期間以外に発生するスキュー検出(Ssc)信号はNOR回路102をへて5ビットアップダウンカウンタ103のCKEN端子に入力し、10ビットカウンタ71bのMSB信号であるスキュー方向判定(Su/d)信号をU/D切り換え端子に入力し、初期値8からアップカウントまたはダウンカウントしている。今、図10に示すように、スキュー検出(Ssc)信号が(Su/d)=0、即ち水平同期(Hsync)信号の周期が、Hゲートパルス(Shgp)信号より長い場合は5ビットアップダウンカウンタ103は初期値8からダウンカウントし、1フィールド期間中に7パルスのアップ方向のスキュー検出(Ssc)信号が入力されると、5ビットアップダウンカウンタ103の出力は1値となり、1値デコード回路よりダウン方向判定(Sdwn)信号を出力している。また、1フィールド期間中に7パルスのダウン方向のスキュー検出(Ssc)信号が入力されると、5ビットアップダウンカウンタ103の出力は15値となり、15値デコード回路よりアップ方向判定(Sup)信号を出力する。第二のOR回路からは、前記(Sdwn)信号または(Sup)信号が入力されると、1フィールド判定(Slf)信号を出力している。尚、前記アップダウンカウンタ103は、垂直同期(Vsync)信号により初期化している。

【0018】つぎに、4フィールド判定手段11の動作を図11に示すタイミングチャートを参照して説明する。この場合も1フィールド判定手段10と同様、第一のOR回路111ではスキュー検出手段7で生成するスキュー検出(Ssc)信号からVTRのヘッド切り換え期間に相当するVgateパルス(Svgp)信号期間を取り除いている。Dフリップフロップ113は4フィールド期間中にVgateパルス(Svgp)信号期間以外に検出するアップ方向のスキュー検出(Ssc)信号が少なくとも1個入力されたことを検出し、Dフリップフロップ116は4フィールド期間中にVgateパルス(Svgp)信号期間以外に検出するダウン方向のスキュー検出(Ssc)信号が少なくとも1個入力されたことを検出している。いま、4フィールド判定期間中に、アップ方向のスキュー検出(Ssc)信号だけが検出されると図11-aに示すように、第一のAND回路114からは、検出してから判定期間中Hレベルの(Sup sH)信号を、第二のAND回路117より判定期間中Lレベルの(Sdwn sL)信号を出力している。また、4フィールド判定期間中に、アップ方向とダウン方向のスキュー検出(Ssc)信号が検出されると図11-bに示すように第一のAND回路114からは、アップ方向を検出してからダウン方向を検出するまでHレベルの(Sup sH/L)信号を、第二のAND回路117よりダウン方向を検出してから判定期間中Hレベルの(Sdwn sH)信号を出力している。

【0019】つぎに、16フィールド判定手段12の動



作を図12に示すタイミングチャートを参照して説明する。16フィールド判定手段12では、4フィールド判定手段11よりのアップ方向スキュー判定(Sups)信号またはダウン方向スキュー判定(Sdwns)信号が12フィールド期間に同一方向3回以上検出すると検出する方向への切り換え信号として、7値デコード回路よりアップ方向判定(Sup)信号または1値デコード回路よりダウン方向判定(Sdwn)信号を出力している。また、12フィールド期間に同一方向3回以上検出しない場合は、16フィールド期間に同一方向3回以上検出すると検出する方向への切り換え信号として、7値デコード回路よりアップ方向判定(Sup)信号または1値デコード回路よりダウン方向判定(Sdwn)信号を出力している。尚、図12に示す(Sups①)信号は、12フィールド期間にアップ方向が3回検出した例を示し、(Sups②)信号は、16フィールド期間にアップ方向が3回検出した例を示している。

【0020】つぎに、V系信号発生手段9の動作を説明する。図13は、Vgateパルス発生手段91の動作を説明するタイミングチャートであり、図14はフィールドクリア信号発生手段92の動作を説明するタイミングチャートである。Vgateパルス発生手段91では、図13に示すように、垂直同期(Vsync)信号の前縁より±16Hの幅のパルスを生成し、Vgateパルスとして、JKフリップフロップ914のQ出力から(Sv gp)Q'出力から(S'v gp)を出力している。フィールドクリア信号発生手段92では、図14に示すように、前記Vgateパルス発生手段91よりのVgateパルス(S'v gp)と垂直同期(Vsync)信号より1フィールド幅で4フィールド周期の(Sf4)信号と、垂直同期(Vsync)信号と同じ幅で4フィールド周期の(Sfp4)信号と、4フィールド幅で16フィールド周期の(Sf16)信号と、垂直同期(Vsync)信号と同じ幅で16フィールド周期の(Sf p16)信号を生成している。

【0021】つぎに、VCO切り換え制御部13とVCO切り換え手段5の動作を説明する。VCO切り換え制御部13では、前記1フィールド判定手段および16フィールド判定手段12よりのアップ方向判定(Sup)信号およびダウン方向判定(Sdwn)信号と、1フィールド判定(S1f)信号とを入力し、例えば、ダウン方向判定(Sdwn)信号が入力されると、Tフリップフロップ回路134のQ出力よりの切り換え用ダウン制御(Sdwn c)信号をHレベルに、またTフリップフロップ回路134のQ'出力よりのアップ制御(Sup c)信号をLレベルにしてVCO切り換え手段5に入力し、VCO切り換え手段5では、低い周波数を発振するVCO1よりのシステムクロック(CKs1)を通すようにしている。

【0022】以上は、4フィールド判定手段11の判定

結果は、16フィールド判定手段12に入力して、12フィールドまたは16フィールド期間のスキュー状態を監視してその判定結果をもとにVCO切り換え手段を制御する実施例を説明したが、図1の点線で示すように、4フィールド判定手段11の判定結果をもとにVCO切り換え手段を制御してもよい。

【0023】

【発明の効果】以上説明したように、本発明によるPLL回路によれば、VTRのヘッド切り換え位置に発生するスキューはこれを検出して分周回路をリセットし、位相比較しないように制御するとともに、VTRのヘッド切り換え位置に相当する期間以外で発生するスキューに対しても検出して、そのスキューの発生が、VCOの発振周波数が高いため起こるのか、低いため起こるのかを、1フィールド期間に発生するスキューの方向と数を測定することにより判定する1フィールド判定手段と、4フィールド期間でのスキューの方向の変化を検出し判定する4フィールド判定手段と、4フィールド期間に判定される同一方向のスキューが16フィールド期間に幾つ発生するかによって判定する16フィールド判定手段との判定結果に基づいて、発振周波数の適切なVCOに自動的に切り換えるので、NTSC方式、PAL方式他のように水平周波数の異なる映像信号が入力しても安定なシステムクロック信号を生成することができる。

【図面の簡単な説明】

【図1】本発明によるPLL回路の一実施例を示す要部ブロック図である。

【図2】スキュー検出手段の一実施例を示す回路ブロック図である。

【図3】1フィールド判定手段の一実施例を示す回路ブロック図である。

【図4】4フィールド判定手段の一実施例を示す回路ブロック図である。

【図5】16フィールド判定手段の一実施例を示すブロック図である。

【図6】Vgateパルス発生手段の一実施例を示すブロック図である。

【図7】フィールドクリア信号発生手段の一実施例を示すブロック図である。

【図8】VCO切り換え制御部とVCO切り換え手段の一実施例を示すブロック図である。

【図9】スキュー検出手段の動作を説明するタイミングチャートである。

【図10】1フィールド判定手段の動作を説明するタイミングチャートである。

【図11】4フィールド判定手段の動作を説明するタイミングチャートである。

【図12】16フィールド判定手段の動作を説明するタイミングチャートである。

【図13】Vgateパルス発生手段の動作を説明する

## \* 5 VCO切り換え手段

## 6 分周回路

## 7 スキュー検出手段

## 8 垂直同期分離回路

## 9 V系信号発生手段

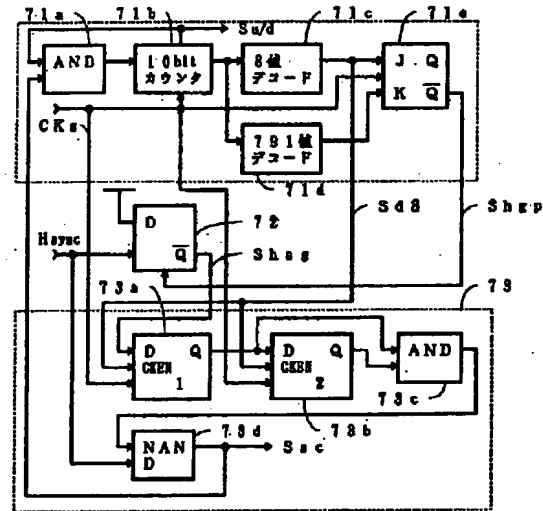
## 10 1フィールド判定手段

## 11 4フィールド判定手段

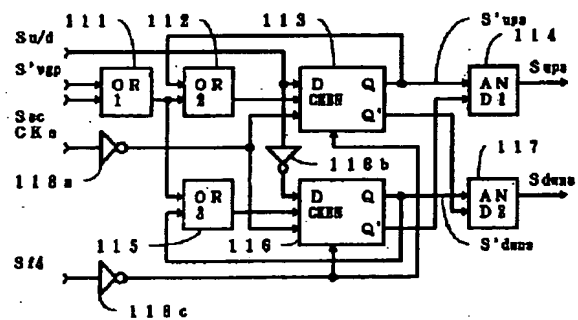
## 12 16フィールド判定手段

### \* 13 VCO切り換え制御部

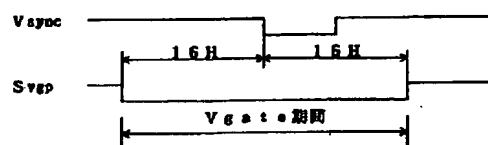
【圖 2】



【図4】



【图 13】

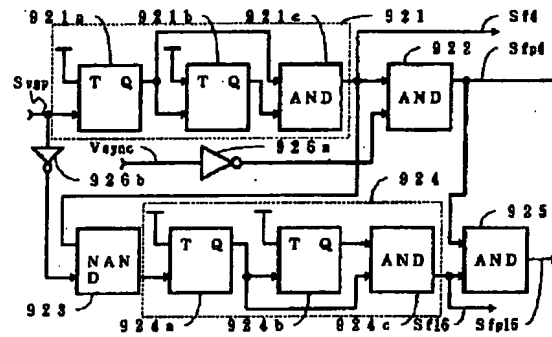


**V & DC**

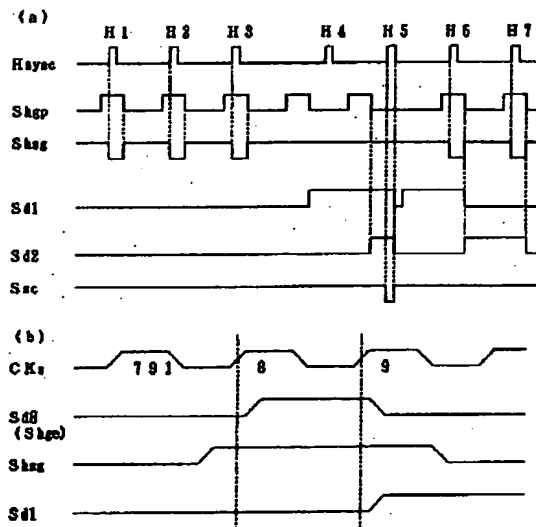
## Step

Y g a t o 期間

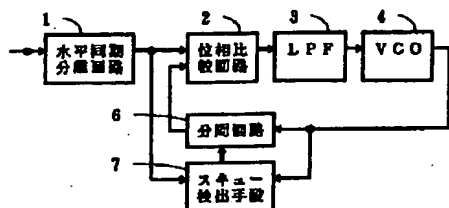
【圖 7】



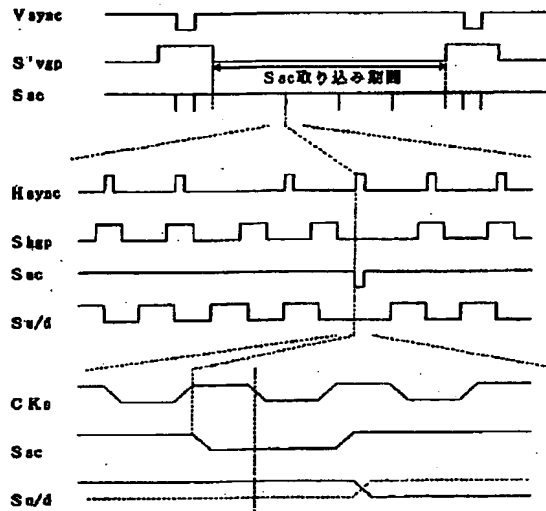
【圖 9】



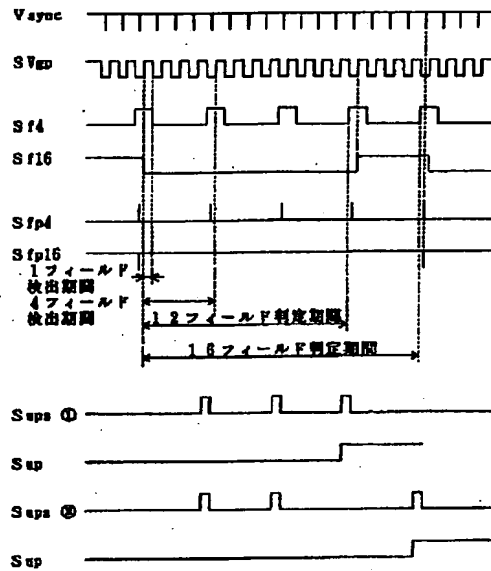
【図 15】



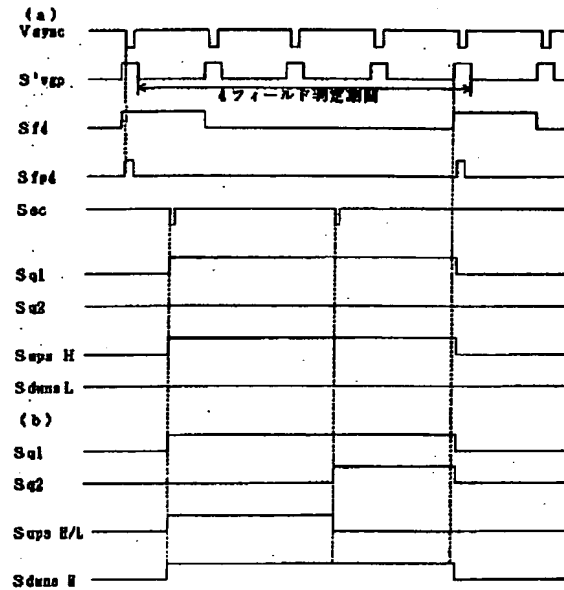
【図10】



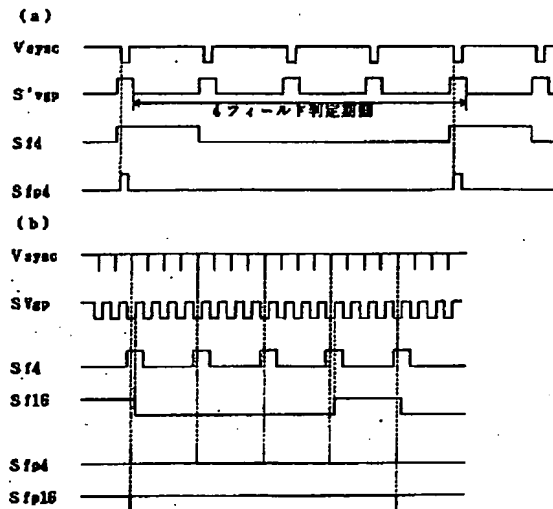
【図12】



【図11】



【図14】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H04L 7/033

識別記号

片内整理番号

F I

技術表示箇所